

Partial English Translation of

LAID OPEN unexamined

JAPANESE PATENT APPLICATION

Publication No. 06-265939

[0017] It is necessary that the value of the storage capacitance C_s is approximately three times as large as that of the liquid crystal capacitance C_{LC} for suppressing the change $\Delta V (C_{GS})$ in the potential of the pixel electrode, which is caused by the fluctuation in the voltage applied to the gate bus line GB.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-265939
 (43)Date of publication of application : 22.09.1994

(51)Int.CI. G02F 1/136
 G09G 3/36

(21)Application number : 05-180479 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 21.07.1993 (72)Inventor : OURA MICHIA
 MORITA KEIZO
 YOSHIOKA HIROSHI
 TAKAHARA KAZUHIRO

(30)Priority

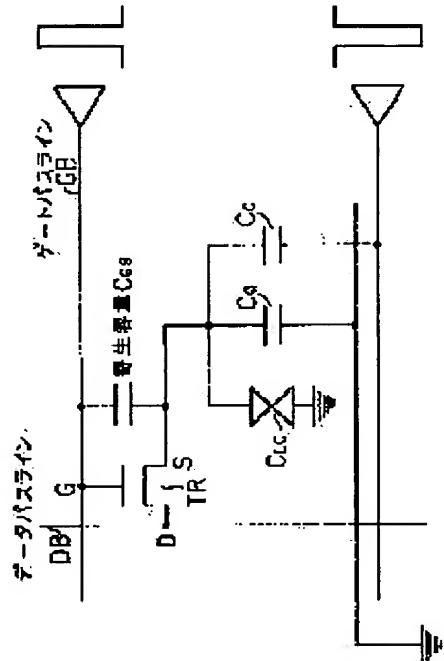
Priority number : 05 5288 Priority date : 14.01.1993 Priority country : JP

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide the liquid crystal display device which is high in display quality and is simple in the structure of peripheral circuits and a liquid crystal panel in the active matrix liquid crystal display device arranged with plural pieces of pixels consisting of liquid crystal cells in a matrix form.

CONSTITUTION: A storage capacitance is constituted of a charge holding capacitance CQ and a CGS correction capacitance Cc. This CGS correction capacitance is the capacitance for correcting the voltage drop of a pixel potential by capacity coupling with a gate bus line GB. The charge holding capacitance CQ and the CGS correction capacitance Cc are constituted independently from each other. The area of the electrode of the CGS correction capacitance Cc is extremely small. The area of the electrode of CQ suffices with the area at which about the same capacity as the capacity of a liquid crystal capacitance CLC is obtainable. The area is made smaller than the area of the electrode of the conventional storage capacity CS as a whole.



LEGAL STATUS

[Date of request for examination] 19.11.1999

[Date of sending the examiner's decision of rejection] 30.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3346493

[Date of registration] 06.09.2002

[Number of appeal against examiner's decision of rejection] 2001-02989

[Date of requesting appeal against examiner's decision 01.03.2001
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51)Int.Cl. ⁵ G 0 2 F 1/136 G 0 9 G 3/36	識別記号 5 0 0	庁内整理番号 9119-2K 7319-5G	F I	技術表示箇所
---	---------------	------------------------------	-----	--------

審査請求 未請求 請求項の数10 O.L (全 14 頁)

(21)出願番号 特願平5-180479
 (22)出願日 平成5年(1993)7月21日
 (31)優先権主張番号 特願平5-5288
 (32)優先日 平5(1993)1月14日
 (33)優先権主張国 日本 (JP)

(71)出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中1015番地
 (72)発明者 大浦 道也
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内
 (72)発明者 森田 敬三
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内
 (72)発明者 吉岡 浩史
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内
 (74)代理人 弁理士 伊東 忠彦

最終頁に続く

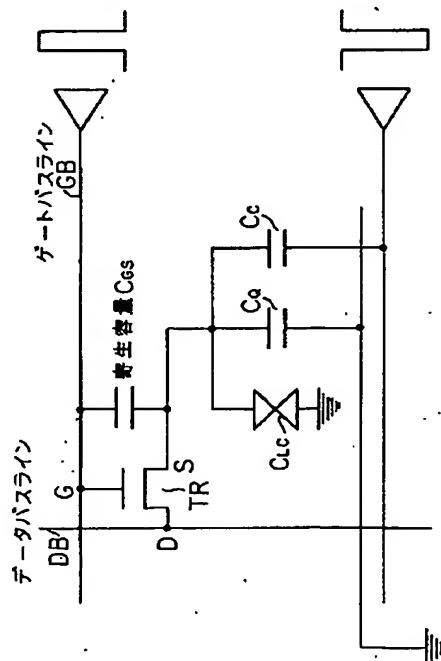
(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 本発明は液晶セルによる画素が複数個マトリクス状に配列されたアクティブマトリクス液晶表示装置に関し、表示が高品質で、また周辺回路や液晶パネルの構造が簡単な液晶表示装置を実現することを目的とする。

【構成】 電荷保持容量 C_Q と C_{GS} 補正容量 C_C により蓄積容量が構成される。 C_{GS} 補正容量はゲートバスライン GB との容量結合による画素電位の電圧低下を補正するための容量である。上記の電荷保持容量 C_Q と C_{GS} 補正容量 C_C とは互いに独立して構成されている。 C_{GS} 補正容量 C_C の電極の面積は非常に小さく、また C_Q の電極の面積は液晶容量 C_{LC} と同じくらいの容量が得られる面積であればよく、全体として従来の蓄積容量 C_S の電極より面積を小にすることができます。

請求項1記載の発明の原理説明用等価回路図



【特許請求の範囲】

【請求項1】 信号電圧を供給する複数のデータバスライン (DB) と、走査電圧を供給する複数のゲートバスライン (GB) とが交差し、各交差点の夫々において該ゲートバスライン (GB) にゲートが接続され、該データバスライン (DB) にドレイン (又はソース) が接続された薄膜トランジスタ (TR) と、該薄膜トランジスタ (TR) のソース (又はドレイン) に画素電極 (1) と蓄積容量電極 (Cs) とが並列に接続されたアクティブマトリクス基板が液晶を介して対向基板に対向配置された液晶表示装置において、

前記蓄積容量電極 (Cs) を、電荷保持容量電極 (16) と、前記ゲートバスライン (GB) との容量結合による画素電位の電圧低下補正用の容量電極 (15) とに分け、該電荷保持容量電極 (16) と該補正用容量電極 (15) とを夫々独立した構成としたことを特徴とする液晶表示装置。

【請求項2】 前記補正用容量電極 (15) には、前記ゲートバスライン (GB) に印加するパルスとは逆極性のパルスを印加することを特徴とする請求項1記載の液晶表示装置。

【請求項3】 信号電圧を供給する複数のデータバスライン (DB) と、走査電圧を供給する複数のゲートバスライン (GB) とが交差し、各交差点の夫々において該ゲートバスライン (GB) にゲートが接続され、該データバスライン (DB) にドレイン (又はソース) が接続された薄膜トランジスタ (TR) と、該薄膜トランジスタ (TR) のソース (又はドレイン) に画素電極 (1) と蓄積容量電極 (Cs) とが並列に接続されたアクティブマトリクス基板が液晶を介して対向基板に対向配置された液晶表示装置において、

前記蓄積容量電極 (Cs) を、前記ゲートバスライン (GB) の方向と平行な方向に相隣る2つの前記画素電極単位で該相隣る2つの前記画素電極間を接続する島状の電極構造 (21) としたことを特徴とする液晶表示装置。

【請求項4】 前記島状蓄積容量電極 (21) に接続された前記相隣る2つの画素電極 (11n, 11n+1) に夫々前記薄膜トランジスタ (12n, 12n+1) を介して接続された隣接する2本の前記データバスライン (DBn, DBn+1) は、前記島状蓄積電極 (21) に交差しない位置に配設されることを特徴とする請求項3記載の液晶表示装置。

【請求項5】 前記島状蓄積電極 (21) に接続された前記相隣る2つの画素電極 (11n, 11n+1) に夫々前記薄膜トランジスタ (12n, 12n+1) を介して接続される隣接する2本の前記データバスライン (DBn, DBn+1) は、互いに逆極性の信号電圧が印加されることを特徴とする請求項3又は4記載の液晶表示装置。

(2) 2

【請求項6】 前記2本のデータバスライン (DBn, DBn+1) のうち、次段のデータバスライン (DBn+1) に接続される前記薄膜トランジスタ (12n+1) のゲートに、遅延手段を形成することを特徴とする請求項3乃至5記載の液晶表示装置。

【請求項7】 信号電圧を供給する複数のデータバスライン (DB) と、走査電圧を供給する複数のゲートバスライン (GB) とが交差し、各交差点の夫々において該ゲートバスライン (GB) にゲートが接続され、該データバスライン (DB) ドレイン (又はソース) が接続された薄膜トランジスタ (TR) と、該薄膜トランジスタ (TR) のソース (又はドレイン) に画素電極 (1) と蓄積容量電極 (Cs) とが並列に接続されたアクティブマトリクス基板が液晶を介して対向基板に対向配置された液晶表示装置において、

単一の前記画素電極 (11n) を前記データバスライン (DB) と平行方向に分割し、前記蓄積容量電極 (Cs) を、該分割した画素電極 (11an, 11bn) 間を接続する島状の電極構造としたことを特徴とする液晶表示装置。

【請求項8】 前記分割した画素電極 (11an, 11bn) の一方 (11an) に、前記ゲートバスライン (GBm) で制御される第1の薄膜トランジスタが接続され、

他方の画素電極 (11bn) に、該ゲートバスライン (GBm) より遅延手段を介して制御される第2の薄膜トランジスタ、及び次段の前記ゲートバスライン (GBm+1) で制御される第3の薄膜トランジスタの直列回路が接続されることを特徴とする請求項7記載の液晶表示装置。

【請求項9】 前記遅延手段に代えて、前記第2の薄膜トランジスタを前記ゲートバスライン (GBm) により所定時間遅延されたゲート信号で制御する制御ゲートバスラインを設けることを特徴とする請求項7記載の液晶表示装置。

【請求項10】 前記ゲートバスライン (GBm) と前記次段のゲートバスライン (GBm+1) とが、一部重複するタイミングでゲート信号を印加させることを特徴とする請求項8又は9記載の液晶表示装置。

40 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示装置に係り、特に液晶セルによる画素が複数個マトリクス状に配列されたアクティブマトリクス液晶表示装置に関する。

【0002】液晶表示装置は大規模半導体集積回路 (LSI) 技術の急速な進歩発展もあって、通常のLSIで低電圧駆動でき、消費電力が少なく、しかも小型軽量で安価という特長を持つため、近年広く普及している。かかる液晶表示装置は表示品質のより一層の向上やパネルの構成の簡素化などが望まれている。

【0003】

【従来の技術】図18は従来の液晶表示装置の液晶パネルの一例の構成図を示す。同図中、走査電圧を伝送するゲートバスラインGBと、信号電圧を伝送するデータバスライン（ドレインバスライン）DBとが交差し、その交点近傍に薄膜トランジスタ（TFT）TRと画素電極1とが配置されている。

【0004】トランジスタTRのゲートは上記ゲートバスラインGBに接続され、TRのドレインはデータバスラインDBに接続され、更にTRのソースは画素電極1に接続されている。この一画素の等価回路は図19に示される。同図中、図18と同一構成部分には同一符号を付してある。図19において、薄膜トランジスタTRのゲート・ソース間には寄生容量C_{GS}が存在し、また画素電極1、すなわち液晶セルは液晶容量C_{LC}と液晶抵抗R_{LC}との並列回路で表わされる。

【0005】かかる等価回路において、ゲートバスライ

$$\Delta V (C_{GS}) = \frac{C_{GS}}{C_{GS} + C_{LC}} \times \Delta V_G \quad (1)$$

【0008】液晶セルの駆動に際しては信頼性保持のため正負交流電圧を印加する。そのため、液晶セル（画素電極）1に印加される電圧を、駆動タイミング毎に（フレーム毎に）極性反転するため、薄膜トランジスタTRや画素電極1が搭載されているアクティブマトリクス基板に液晶を介して対向配置され、対向電極及び液晶配向膜が形成された対向基板の電位を $\Delta V (C_{GS})$ だけ下げて補正する。

【0009】しかしながら、一般に液晶はそのねじれ状態によって誘電率が異なるため、印加電圧によって液晶容量C_{LC}が異なる。つまり、液晶容量C_{LC}はデータバスラインDBに印加する電圧V_Dの関数C_{LC}(V_D)となり、 $\Delta V (C_{GS})$ はデータバスラインDBに印加する電圧V_Dによって異なる。従って、画面に例えれば白地に黒などの固定パターンを表示させると、ある領域にDCバ

$$\Delta V_{LC} = (V_{LC\ rms} / V_D) \times 100 (\%) \quad (2)$$

ただし、上式中、V_{LC rms}は液晶セル1の非選択期間T_{off}での実効電圧であり、C_{LC}とR_{LC}とを用いて次のように表わせる。

$$V_{LC\ rms} = V_D \times \frac{1}{T_{off}} \left[\int_0^{T_{off}} \{ \exp(-t / R_{LC} \times C_{LC}) \}^2 dt \right]^{1/2} \quad (3)$$

【0013】通常、R_{LC}は非常に大きく、例えば $1 \times 10^{12} \Omega$ 程度であるために、電圧保持率 ΔV_{LC} には殆ど影響はない。しかし、パネル工程中の液晶注入時には汚染等で1~2桁程度R_{LC}が低下し、またパネル化後も経時変化するため、実効電圧V_{LCrms}が低下し、電圧保持率 ΔV_{LC} の低下が著しくなる。

ンG Bに図20 (A) に示す如き波高値 ΔV_G のパルス電圧が印加される。このゲートパルス電圧がV_{goff}からV_{gon}へ変化した後のハイレベル期間T_{on}を薄膜トランジスタTRがオンの選択期間とし、V_{goff}であるローレベル期間T_{off}を薄膜トランジスタTRがオフの非選択期間とする。

【0006】選択期間T_{on}になると、最初は図20 (B) に示す如くデータバスラインDBに印加されている負極性の電位 $-\Delta V_D$ がトランジスタTRのソースを介して画素電極1に印加される。その後、ゲートパルス電圧がV_{gon}からV_{goff}に立ち下がる際に、寄生容量C_{GS}によって画素電極1の電位は図20 (C) に示す如く $\Delta V (C_{GS})$ だけ下がる。この $\Delta V (C_{GS})$ は、ゲートパルス電圧の波高値 ΔV_G 、寄生容量C_{GS}及び液晶容量C_{LC}を用いて次式で表わされる。

【0007】

【数1】

イアスが印加されて分極電荷が発生し、表示パターンを変えると前の表示パターンが残像となって残ってしまう。また、 $\Delta V (C_{GS})$ の電圧V_Dによる変化は、白表示又は黒表示によって対向基板の電位に対して非対象となり、何れかの低下分 $\Delta V (C_{GS})$ による液晶セル1に印加されるDCバイアスが印加されるとフリッカ（ちらつき）現象が生じることになる。

【0010】非選択期間T_{off}になると、液晶抵抗R_{LC}によるリークパスが存在するために、液晶セル1の保持電圧は、選択期間T_{on}中に印加された電圧 $-V_D$ より、C_{LC}とR_{LC}の積による時定数に従って図13 (C) に示す如く低下してしまう。ここで、電圧保持率を ΔV_{LC} とすると、 ΔV_{LC} は次式で表わされる。

【0011】

【0012】

【数2】

【0014】上記の2つの問題点を同時に解決するため、従来は図21及び図22の等価回路に示すように、液晶容量C_{LC}と並列に蓄積容量C_Sを設けていた。図21は従来のC_S独立方式の等価回路図で、蓄積容量C_Sの一端を液晶容量C_{LC}とトランジスタTRのソースとの接続点に接続し、C_Sの他端をC_S線CBに接続したも

のである。

【0015】また、図22は従来の C_S オンゲート方式の等価回路図で、蓄積容量 C_S の他端を C_S 線でなく、隣接のゲートバスライン GB_2 に接続したものである。

$$\Delta V (C_{GS}) = \frac{C_{GS}}{C_{GS} + C_{LC} (V_D) + C_S} \times \Delta V_G \quad (4)$$

【0017】蓄積容量 C_S はゲートバスライン GB に印加する電圧変動による画素電極の電位変化 $\Delta V (C_{GS})$ を抑制するために、液晶容量 C_{LC} の約3倍程度という大なる値を必要とする。

【0018】

【発明が解決しようとする課題】しかるに、上記の大なる値の蓄積容量 C_S は画素電極との間に形成しなければならないため、開口率が大きく下がってしまう。また、図21に示した C_S 独立方式では専用のバスラインである C_S 線 CB を必要とし、これをゲートバスライン GB と平行に設けるためにデータバスライン DB と交差する。またデータバスラインが蓄積容量電極と交差する。

【0019】従って、上記の従来の C_S 独立方式ではデータバスライン DB の C_S 線 CB との交差及び蓄積容量電極との交差によって、各交差点の容量によりデータバスライン DB の負荷容量が増大し、信号遅延が起きて問題となる。

【0020】一方、図22に示した C_S オンゲート方式では蓄積容量 C_S をゲートバスライン GB_1 , GB_2 と共に用するため、データバスライン DB と専用バスラインや蓄積容量電極との交差は無いが、ゲートバスライン GB_1 , GB_2 の負荷容量が増加するため、画素数の多い高精細パネルでは低抵抗ゲートバスラインが必要となり、走査信号遅延やバスラインの材料や形状が制限されてしまう。

【0021】本発明は上記の点に鑑みなされたもので、蓄積電極を所定の構成とするか、液晶パネルの構成を工夫することにより、上記の課題を解決した液晶表示装置を提供することを目的とする。

【0022】

【課題を解決するための手段】図1は請求項1記載の発明の原理説明用等価回路図を示す。同図中、図1.9と同じ構成部分には同一符号を付し、その説明を省略する。図1に示すように、本発明は蓄積容量電極を、電荷保持容量電極と、ゲートバスライン GB との容量結合による画素電位の電圧低下補正用の容量電極とに分け、夫々を独立した構成としたものである。同図中、 C_Q は上記の電荷保持容量電極による電荷保持容量、 C_C は補正用容量電極による C_{GS} 補正容量を示す。

【0023】図2は請求項3記載の発明の原理説明用等価回路図を示す。本発明はゲートバスラインの方向と平行な方向に相隣る2つの画素電極、すなわち液晶容量 C_{LC1} と液晶抵抗 R_{LC1} で表わされる第1の画素電極と、

いずれの場合も、(1)式は蓄積容量 C_S によって次のように修正される。

【0016】

【数3】

液晶容量 C_{LC2} と液晶抵抗 R_{LC2} で表わされる第2の画素電極との間を島状の電極で接続する。この島状の電極による容量は C_X で示される。

【0024】また、特に図示しないが、請求項7及び8記載の発明は、单一の前記画素電極を前記データバスラインと平行方向に分割し、前記蓄積容量電極を、該分割した画素電極間を接続する島状の電極構造とし、前記分割した画素電極の一方に、前記ゲートバスラインで制御される第1の薄膜トランジスタが接続され、他方の該画素電極に、該ゲートバスラインより遅延手段を介して制御される第2の薄膜トランジスタ、及び次段の前記ゲートバスラインで制御される第3の薄膜トランジスタの直列回路が接続される。

【0025】

【作用】請求項1記載の発明では、蓄積容量電極の面積を見積もる際、図1に示すゲートバスライン GB との容量結合による画素電位を補正する C_{GS} 補正容量 C_C の電極の面積は、寄生容量 C_{GS} と同じであれば良く、この寄生容量 C_{GS} は非常に小さな値であるから、容量値に対応して非常に小さい面積で良い。

【0026】また、画素電位を保持する電荷保持容量 C_Q の電極の面積は液晶容量 C_{LC} と同じくらいの容量を形成すればよいので、比較的小なる面積にできる。従つて、 C_C 及び C_Q の全体の電極の面積は従来の C_S 独立方式に比し小さくすることができる。

【0027】また、請求項3記載の発明では、図2に示すように、データバスライン DB から互いに逆位相で印加される信号電圧を V_1 , V_2 , 薄膜トランジスタ TR をスイッチ S_1 , S_2 で示すものとすると、同じラインの画素の薄膜トランジスタ(スイッチ) S_1 及び S_2 が夫々オンのときには、A点、B点に信号電圧 V_1 , V_2 が印加される。この時のC点の電位 V_3 は次式で表わされる。

$$V_3 = (V_1 + V_2) / 2$$

この式よりC点の電位 V_3 は一定電位となることがわかる。その後、スイッチ S_1 , S_2 をオフにすると、液晶抵抗 R_{LC1} と R_{LC2} によって、 C_{LC1} , C_X の電荷が漏れ始める。この時、A, B点の電位は同時に同方向に漏れるために、電位 V_3 はやはり一定電位となる。

【0029】この状態においては、液晶容量 C_{LC1} , C_{LC2} と蓄積容量 C_X とは並列の容量として考えることができるため、 C_{LC1} , C_{LC2} の電荷の漏れ量が従来は $R_{LC1} \times C_{LC1}$ 又は $R_{LC2} \times C_{LC2}$ で表わされ

る時定数に従って減少したのに対し、本発明では C_X を構成することで τ_2 ($= R_{LC1} \times (C_{LC1} + C_X)$ 又は $R_{LC2} \times (C_{LC2} + C_X)$) で時定数が示され、この時定数は従来より大となる。この時定数の増加分 ($\tau_2 - \tau_1$) が上記電荷の漏れ量を低減する。

【0030】また、請求項7及び8記載の発明では、分割した画素電極の一方であって、第3の薄膜トランジスタにより次段のゲートバスラインのゲート信号で制御される画素電極が、その前段のゲートバスラインのゲート信号より所定時間遅延されるゲート信号で駆動される第2の薄膜トランジスタにより制御される。

【0031】これにより、前段のゲートバスラインのゲート信号オフ状態となっても蓄積容量電極がフローティング状態にならず、かつオフ状態の時点での次段のゲートバスラインによるクロストークが防止される。従って、島状の蓄積容量電極構造により請求項3記載の発明で生じることがある残像、フリッカ等の画像劣化を防止することが可能となる。

【0032】

【実施例】図3は本発明の第1実施例の構成図を示す。同図中、図1と同一構成部分には同一符号を付してある。図3において、データバスラインDBとゲートバスラインGBとは夫々互いに直交している。アクティブマトリクス基板上の上記データバスラインDBとゲートバスラインGBとの交差点近傍には、画素電極11とTFT12とが設けられている。TFT12のゲート電極はゲートバスラインGBに接続され、ドレイン電極はデータバスラインDBに接続され、更にソース電極は画素電極11に接続されている。

【0033】ゲート駆動ドライバ13の出力端はゲートバスラインGBに接続される一方、インバータ回路14を介して C_{GS} 補正容量電極15に接続されている。この C_{GS} 補正容量電極15はゲートバスラインGBと平行に画素電極11上に配置されている。この C_{GS} 補正容量電極15の面積はTFT12において形成される寄生容量 C_{GS} と同じであればよく、後述の電荷保持容量電極16のそれよりも十分に小でよい。

【0034】また、電荷保持容量電極16はゲートバスラインGBと平行に、かつ、画素電極11上を横切るように配置され、これをパネル端子部分にまで引き出し、固定電位に接続されている。このとき、引き出し電極は、ゲートバスラインGBとクロスオーバーしないよう、ゲート駆動ドライバ13に接続される端子電極とは反対方向に引き出す。この電荷保持容量電極16の面積は液晶容量 C_{LC} と同じ容量が得られる程度の大きさでよく、従来の蓄積電極に比べて小でよい。従って、従来に比べて開口率が向上する。

【0035】図4は図3の等価回路図を示す。同図中、図1及び図3と同一構成部分には同一符号を付し、その説明を省略する。図4において、 C_Q は電荷保持容量電

極16と画素電極11とその間の基板によって形成される電荷保持容量、 C_C は C_{GS} 補正容量電極15と画素電極11とその間の基板とによって形成される C_{GS} 補正容量である。

【0036】本実施例によれば、蓄積容量 C_S となる C_{GS} 補正容量 C_C と電荷保持容量 C_Q を得るための電極15及び16の全体の面積を従来に比し小にできるから開口率を上昇でき、またバスラインの負荷容量が低減されるため信号遅延を抑えることができ、更にバスラインの材料、形状の設計条件を緩和することができる。

【0037】図5は本発明の第2実施例の構成図、図6は本発明の第2実施例の等価回路図を示す。両図中、図1及び図3と同一構成部分には同一符号を付し、その説明を省略する。図5及び図6に示す第2実施例はゲートバスラインGB'が画素電極11上に形成され、電荷保持容量 C_Q を形成するための電極を兼ねている点に特徴がある。本実施例では、固定電位に接続するための引き出し電極が不要である。

【0038】本実施例はデータバスラインDB方向に隣接する画素電極上に一ライン前のゲートバスラインGB'が設けられるため、第1実施例と同じ開口率を得るためにには、画素電極11をゲートバスライン幅程度データバスライン方向に長くする必要があるが、第1実施例と同様の効果を有する。

【0039】図7は本発明の第3実施例の構成図、図8は図7の断面図を示す。図8において、透明基板となる厚さ約1mm程度のガラス基板を2枚用意し、そのうちの1枚をTFTを形成したアクティブマトリクス基板とする。TFTはガラス基板(アクティブマトリクス基板)30上にチタン(Ti)、クロム(Cr)又はアルミニウム(Al)等をスパッタにより全面に積層し、ゲートバスラインGB、ゲート電極24をパターニングする。この時同時に同材料で蓄積容量電極21を形成する。

【0040】この蓄積容量電極21は図7及び図8に示すように、ゲートバスラインGBの長手方向に隣接するn番目の画素電極11nと(n+1)番目の画素電極11n+1との両方に跨がって島状(引き出し線不要、データバスラインDBn、DBn+1との交差点無し)に形成される。

【0041】次に図8に示すように、蓄積容量電極21及びゲート電極24が形成されたガラス基板23上に、二酸化シリコン(SiO₂)や窒化シリコン(SiN)によるゲート絶縁膜25をPCVD法により被覆形成した後、アモルファスシリコン(a-Si)材による半導体層26をPCVD法により連続して積層してトランジスタのパターンでパターニングする。

【0042】更に、n⁺型a-Si材とチタン(Ti)又はタンタル(Ta)材によるドレイン電極28、ソース電極29及びデータバスライン(図7のDBn、DBn+1)を形成する。この時データバスラインは図7にD

B_n , DB_{n+1} で示すように、ゲートバスライン GB に直交し、かつ、隣接する n 番目の画素電極 11_n と $(n+1)$ 番目の画素電極 11_{n+1} 間の一つおきに形成される。従って、 $(n-1)$ 番目の画素電極 11_{n-1} の右側と、 $(n+2)$ 番目の画素電極 11_{n+2} の左側に、データバスライン DB_n , DB_{n+1} に夫々隣接してデータバスライン DB_{n-1} , DB_{n+2} が形成される（いずれも図示せず）。

【0043】そして、透明のITO (Indium Tin Oxide) により、 11_n , 11_{n+1} 等の画素電極をパターニング形成する。ここで、画素電極 11_n , 11_{n+1} と蓄積容量電極 21 とはある程度の重なりをもつようとする。この重なりは液晶容量 C_{LC} と蓄積容量 C_S との比が例えば $1:2$ にするとより効果的である。

【0044】かかる後に、図8のドレイン電極 28 , ソース電極 29 , 画素電極 11_n , 11_{n+1} 等に保護絶縁膜及び液晶配向膜（いずれも図示せず）を塗布してアクティブマトリクス基板を作成する。またもう一枚のガラス基板にカラーフィルタ、ブラックマトリクス、液晶配向膜をパターニングして対向基板とする。最後に上記のアクティブマトリクス基板と対向基板とを対向させると共に、それらの間に液晶を封入することにより液晶パネルが完成する。

【0045】このようにして完成した第3実施例の液晶パネルの等価回路は図9に示す如くなる。同図中、図2、図7及び図8と同一構成部分には同一符号を付し、その説明を省略する。図9において、 $TFT12_n$ 及び 12_{n+1} は図2に示したスイッチ S_1 及び S_2 に相当し、また C_S は図2に示した2つの C_X の直列合成容量で、図7の蓄積容量電極 21 による蓄積容量を示す。

【0046】また、図9の n 番目の液晶セル 31_n は液晶抵抗 R_{LCn} と液晶容量 C_{LCn} の並列回路で表わされ、 $n+1$ 番目の液晶セル 31_{n+1} は液晶抵抗 R_{LCn+1} と液晶容量 C_{LCn+1} の並列回路で表わされる。上記の蓄積容量 C_S は $TFT12_n$ 及び 12_{n+1} の各ソース間に接続される。

【0047】これにより、図2と共に説明したように、 $TFT12_n$, 12_{n+1} がオンのときにはデータバスライン DB_n と DB_{n+1} に互いに逆極性の信号電圧を印加して液晶セル 31_n , 31_{n+1} に書き込み、その後 $TFT12_n$, 12_{n+1} がオフのときの容量 C_{LCn} , C_{LCn+1} , C_S の放電（電荷の漏れ量）を従来より少なくすることができる。

【0048】図7において、 n 番目のデータバスライン DB_n と $(n+1)$ 番目のデータバスライン DB_{n+1} には逆極性の信号電圧を印加する。この信号電圧を発生する周辺回路を含む液晶表示装置の一実施例を図10に示す。

【0049】同図中、図7及び図8に示した構成の各画素がマトリクス状に複数配設された液晶パネル33の奇

数番目のデータバスライン DB_n はシフトレジスタ34に接続され、偶数番目のデータバスライン DB_{n+1} はシフトレジスタ35に接続されている。また、水平方向に配設された複数本のゲートバスライン GB は液晶パネル33の右側に引き出されてシフトレジスタ36に接続されている。

【0050】パソコン37は水平走査周期のライン信号と信号電圧（データ）とを少なくとも発生し、ライン信号はシフトレジスタ36へ供給し、信号電圧はラッチ38に供給する一方、インバータ39を介してラッチ40に供給する。ラッチ38の出力信号電圧は並列にシフトレジスタ34に転送され、またラッチ40の出力信号電圧は並列にシフトレジスタ35に転送される。

【0051】従って、シフトレジスタ34より奇数番目のデータバスライン DB_n に印加される信号電圧と、シフトレジスタ35より偶数番目のデータバスライン DB_{n+1} に印加される信号電圧とは互いに極性が反転している。本実施例によれば、電圧保持率を低下させることなく、専用のバスラインが不要で、しかも材料や形状を考慮せずに蓄積容量を設けることができるため、高品質な液晶表示ができる。

【0052】ところで、図7及び図9に示す第3実施例の液晶パネルでは、実際に図4に示すようなゲートバスライン GB と画素電極 11_n , 11_{n+1} との間に寄生容量 C_{GS} が存在する。すなわち、ゲートバスライン GB が $TFT(12_n)$ オン電圧からオフ電圧に切り替わる際に、蓄積容量 C_S の両端の画素電極 11_n , 11_{n+1} 及び蓄積容量電極 21 の電位が総てフローティング状態となり、上記寄生容量 C_{GS} により画素電極 11_n , 11_{n+1} の電位変動が大きくなる。

【0053】すなわち、蓄積容量 C_S は、液晶セル 31_n , 31_{n+1} の容量 C_{LCn} , C_{LCn+1} の電圧降下を抑制する働きがあるものの、上記電位変動による残像、フリッカが生じる虞がある。

【0054】そこで、図11に、本発明の第3実施例における変形例の概略構成図を示す。図中、図7及び図9と同一構成部分には同一符号を付し、その説明を省略する。

【0055】図11において、単一の画素電極 11_n がデータバスライン DB と平行方向に分割され、この分割画素電極 11_{an} , 11_{bn} 間を接続する島状の蓄積容量電極 21 が形成される。

【0056】分割画素電極 11_{an} は第1の薄膜トランジスタである $TFT12_{1n}$ のソース S と接続される。この $TFT12_{1n}$ のドレイン D はデータバスライン DB に接続され、ゲート G は m 番目ゲートバスライン GB_m に接続される。また、分割画素電極 11_{bn} は第3の薄膜トランジスタである $TFT12_{2n}$ のソース S と接続される。この $TFT12_{2n}$ のドレイン D はデータバスライン DB に接続され、ゲート G は $m+1$ 番目ゲートバスライン GB

B_{m+1} に接続される。

【0057】そこで、図12に、図11の動作タイミングの説明図を示す。図12に示すように、ゲートバスライン GB_m と GB_{m+1} によるゲート信号は半パルス（例えば $30 \mu s$ ）分重複するタイミングで印加される。そのため、 m 番目ゲートバスライン GB_m の信号電圧が TFT (121n) オン電圧からオフ電圧に変化する時には、 $m+1$ 番目ゲートバスライン GB_{m+1} が TFT (122n) オン電圧になって TFT 122n がオン状態となる。

【0058】従って、蓄積容量電極 21 はストレージキャパシタとして働くこととなり、ゲートバスラインの電位変化による画素電極 11an, 11bn の電位変動が減少し、上述のような残像、フリッカを防止することができる。

【0059】ところが、 m 番目ゲートバスライン GB_m の信号電圧がオフ電圧になるときには $m+1$ 番目ゲートバスライン GB_{m+1} の信号電圧がオン電圧になっており、データバスライン DB により供給された分割画素電極 11bn の m データ上に $m+1$ データ (m データより数 μs 後) が供給されることとなって分割画素電極 11an の m データとクロストークを生じることになる。

【0060】そこで、図13に、本発明の第4実施例の概略構成図を示す。図中、図11と同一構成部分には同一符号を付し、その説明を省略する。図13において、図11における TFT 122n と分割画素電極 11bn との間に第2の薄膜トランジスタである TFT 123n を介在させたものである。

【0061】すなわち、TFT 123n のドレイン D は TFT 122n のソース S に接続され、ソース S は分割画素電極 11bn に接続される。また、TFT 123n のゲート G は抵抗 R_1 を介して m 番目ゲートバスライン GB_m に接続される。

【0062】抵抗 R_1 は、例えばアモルファスシリコン膜（比抵抗 $10^9 \Omega \text{cm}$ ）を用いることにより容易に形成可能であり、該抵抗 R_1 と TFT 123n のゲート容量とにより、例えば時定数 μs の遅延回路（積分回路）を構成する。

【0063】ここで、図14に、図13の動作タイミングの説明図を示す。図14に示すように、 m 番目ゲートバスライン GB_m が TFT (121n) オン電圧になると、上述の遅延回路により T (数 μs) 遅延して P 点がオン電圧となって TFT 123n がオン状態となる。そこで、 $m+1$ 番目ゲートバスライン GB_{m+1} が TFT (122n) オン電圧になったときに、分割画素電極 11bn にはデータバスライン DB からの m データが供給される。

【0064】そして、 m 番目ゲートバスライン GB_m が TFT (121n) オフ電圧になると TFT 121n がオフ状態になると共に、上述の遅延回路により TFT 123n が t (数 μs) 後にオフ状態となる。

【0065】すなわち、 m 番目ゲートバスライン GB_m がオフ電圧になったときには、TFT 123n は未だオン状態であることから、蓄積容量電極 21 は蓄積容量 C_S として働き、フローティング状態とはならない。その後、データバスライン DB より m データの数 μs 後に $m+1$ データが供給される時点では TFT 123n はオフ状態であり、分割画素電極 11bn でのクロストークが発生することはない。

【0066】このように、島状の蓄積容量電極 21 を設けることにより、第3実施例で説明したように専用のバスラインを不用として電圧保持率の低下を防止することができると共に、かつ抵抗 R_1 及び TFT 123n により残像、フリッカ、クロストークを防止することができ、高品質な液晶表示を行うことができる。

【0067】また、図15に、本発明の第4実施例における変形例の概略構成図を示す。図中、図13と同一構成部分には同一符号を付し、その説明を省略する。図15において、図13の抵抗 R_1 に代えて、TFT 123n のゲート G を、 m 番目及び $m+1$ 番目ゲートバスライン GB_m , GB_{m+1} の間に形成される制御ゲートバスラインである m' 番目ゲートバスライン $GB_{m'}$ に接続したものである。この m' 番目ゲートバスライン $GB_{m'}$ には、 m 番目ゲートバスライン GB_m より t (数 μs) 遅延した同一のゲート信号電圧が印加される。

【0068】そこで、図16に、図15の動作タイミングの説明図を示す。図16は、図14と同様に、 m 番目ゲートバスライン GB_m がオフ電圧になった後、 t (数 μs) 経過して、 m' 番目ゲートバスライン $GB_{m'}$ がオフ電圧となる。これにより TFT 121n がオフ状態から数 μs 後に TFT 123n がオフ状態になることにより、画素電位の変動が小さくなり、図13と同様に残像、フリッカの防止はもちろん、クロストークを防止することができる。

【0069】次に、図17に、本発明の第5実施例の概略構成図を示す。図中、図7と同一構成部分には同一符号を付してその説明を省略する。図17 (A) は概略構成図であり、図17 (B) は動作タイミングの説明図である。

【0070】図17 (A) において、ゲートバスライン (GB) と平行方向に相隣る2つの画素電極 11n, 11n+1 間を島状の蓄積容量電極 21 で接続するもので、TFT 12n+1 のゲート G とゲートバスライン GB との間に抵抗 R_2 を介在させたものであり、他の構成は図7及び図9と同様である。この抵抗 R_2 は第4実施例と同様に、例えばアモルファスシリコン膜（比抵抗 $10^9 \Omega \text{cm}$ ）を用いることにより容易に形成することができ、該抵抗 R_2 と TFT 12n+1 のゲート容量とにより時定数 t (数 μs) の遅延回路を構成する。

【0071】そこで、動作タイミングを説明すると、図17 (B) に示すように、ゲートバスライン GB がオン

電圧になると TFT12n がオン状態となり、t 時間 (数 μ s) 後に TFT12n+1 がオン状態となる。このとき、画素電極 11n には n 番目データバスライン DBn より n データが供給され、画素電極 11n+1 には (n+1) 番目データバスライン DBn+1 より (n+1) データが供給される。そして、ゲートバスライン GB がオフ電圧になると TFT12n がオフ状態となるが、TFT12n+1 は t 時間 (数 μ s) 後にオフ状態となる。

【0072】すなわち、ゲートバスライン GB がオフ電圧になったときには TFT12n+1 は未だオン状態であることから、画素電極 11n+1 及び蓄積容量電極 21 はフローティング状態とはならず、蓄積容量 CS としての働きをなすものである。

【0073】これにより、画素電極、11n, 11n+1 の電位変動が減少して残像、フリッカ、クロストークの発生を防止することができ、高品質な液晶表示を行うことができるものである。

【0074】

【発明の効果】上述の如く、請求項 1 記載の発明では全体として蓄積容量の面積を小さくすることができるから、開口率が上昇して表示品質を向上することができ、またバスラインの負荷容量が低減され、信号遅延を抑えることができると共に、バスラインの材料の設計条件を緩和することができる。

【0075】また、請求項 3 記載の発明では、ゲートバスライン方向に隣接する 2 つの信号電極が島状の蓄積容量電極を介して接続されると共に、隣接するデータバスラインに供給する信号電圧を夫々極性反転して同時に印加するようにして電荷の漏れ量を従来より小にすこことができるため、専用のバスラインが不要で、かつ、材料や形状を考慮せずに蓄積容量を設けることができ、高品質の液晶表示装置を実現することができる。

【0076】さらに、請求項 7 及び 8 記載の発明では、分割した画素電極の一方であって、第 3 の薄膜トランジスタにより次段のゲートバスラインのゲート信号で制御される画素電極を、その前段のゲートバスラインのゲート信号より所定時間遅延されるゲート信号で駆動される第 2 の薄膜トランジスタにより制御することにより、島状の蓄積容量電極を形成することで生じることがある残像、フリッカ、クロストークの発生を防止することができ、高品質な液晶表示を行うことができる。

【図面の簡単な説明】

【図 1】請求項 1 記載の発明の原理説明用等価回路図である。

【図 2】請求項 3 記載の発明の原理説明用等価回路図である。

【図 3】本発明の第 1 実施例の構成図である。

【図 4】本発明の第 1 実施例の等価回路図である。

【図 5】本発明の第 2 実施例の構成図である。

【図 6】本発明の第 2 実施例の等価回路図である。

【図 7】本発明の第 3 実施例の構成図である。

【図 8】図 7 の断面図である。

【図 9】本発明の第 3 実施例の等価回路図である。

【図 10】本発明の一実施例の全体構成図である。

【図 11】本発明の第 3 実施例における変形例の概略構成図である。

10 成図である。

【図 12】図 11 の動作タイミングの説明図である。

【図 13】本発明の第 4 実施例の概略構成図である。

【図 14】図 13 の動作タイミングの説明図である。

【図 15】本発明の第 4 実施例における変形例の概略構成図である。

【図 16】図 15 の動作タイミングの説明図である。

【図 17】本発明の第 5 実施例の概略構成図である。

【図 18】従来の液晶パネルの一画素の一例の構成図である。

20 【図 19】従来の液晶パネルの一画素の等価回路図である。

【図 20】各バスラインの印加電圧と液晶セルの印加電圧を示すタイムチャートである。

【図 21】従来の CS 独立方式の等価回路図である。

【図 22】従来の CS オンゲート方式の等価回路図である。

【符号の説明】

11, 11n, 11n+1, 501, 502 画素電極
11an, 11bn 分割画素電極

30 12, 12n, 12n+1, 511, 512, 521, 522, 531, 532, TR 薄膜トランジスタ (TFT)

13 ゲートバスライン駆動ドライバ

14, 39 インバータ

15 CGS補正容量電極

16 電荷保持容量電極

21 蓄積容量電極

33 液晶パネル

CLC, CLC1, CLC2 液晶容量

40 CQ 電荷保持容量

Cc CGS補正容量

R_{LC1}, R_{LC2} 容量抵抗

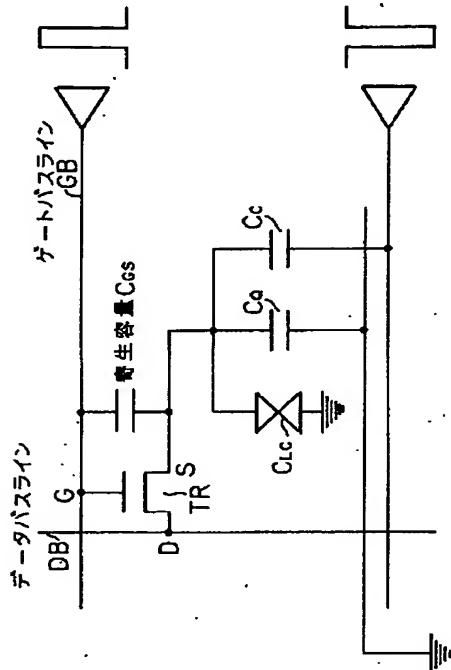
C_X, C_S 蓄積容量

DB, DB_n, DB_{n+1} データバスライン

GB, GB' ゲートバスライン

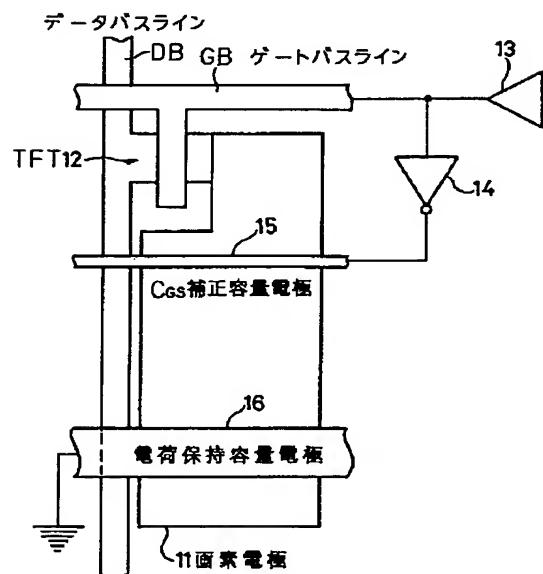
【図1】

請求項1記載の発明の原理説明用等価回路図



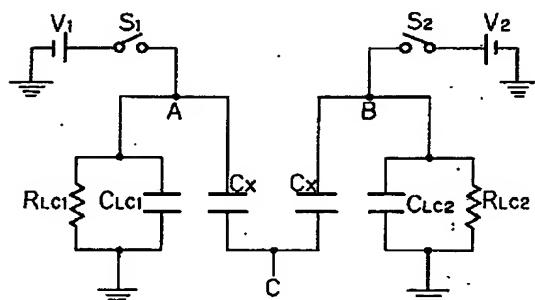
【図3】

本発明の第1実施例の構成図



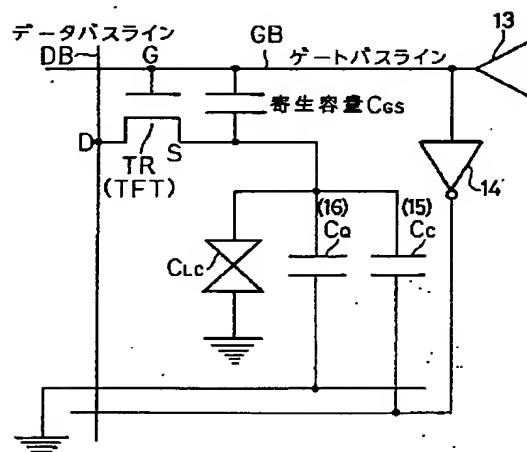
【図2】

請求項3記載の発明の原理説明用等価回路図



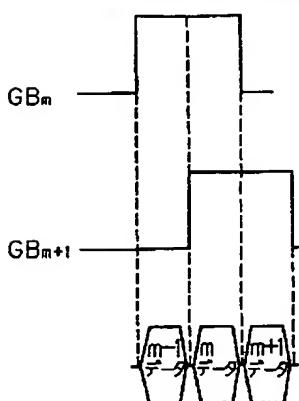
【図4】

本発明の第1実施例の等価回路図



【図12】

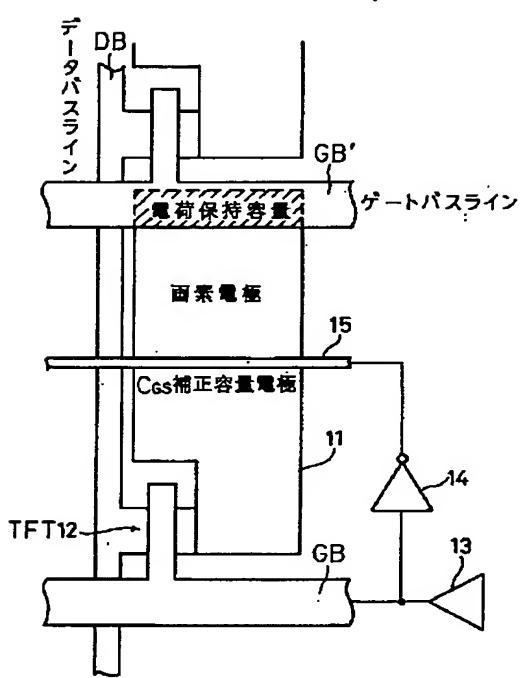
図11の動作タイミングの説明図



【図 5】

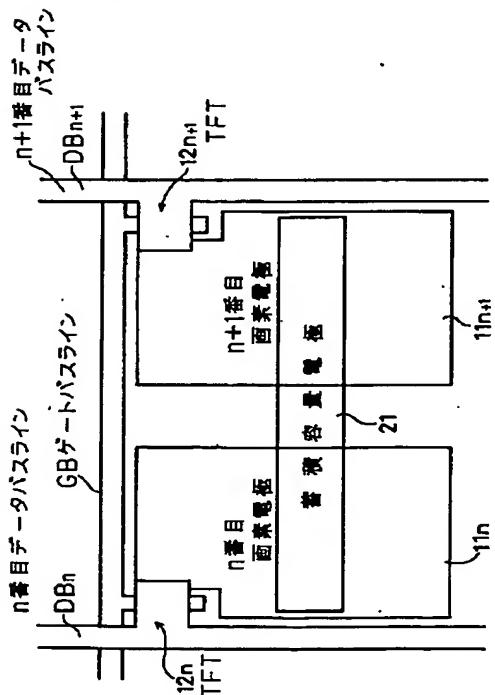
【図6】

本発明の第2実施例の構成図

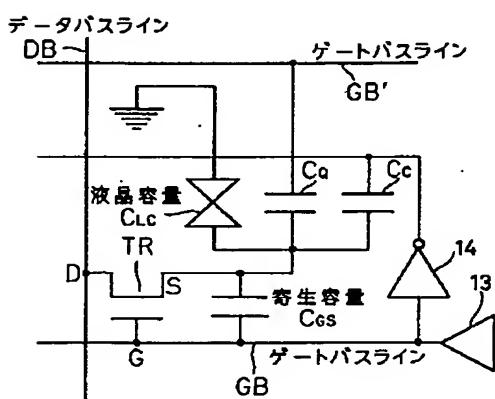


【図 7】

本発明の第3実施例の構成図



本発明の第2実施例の等価回路図

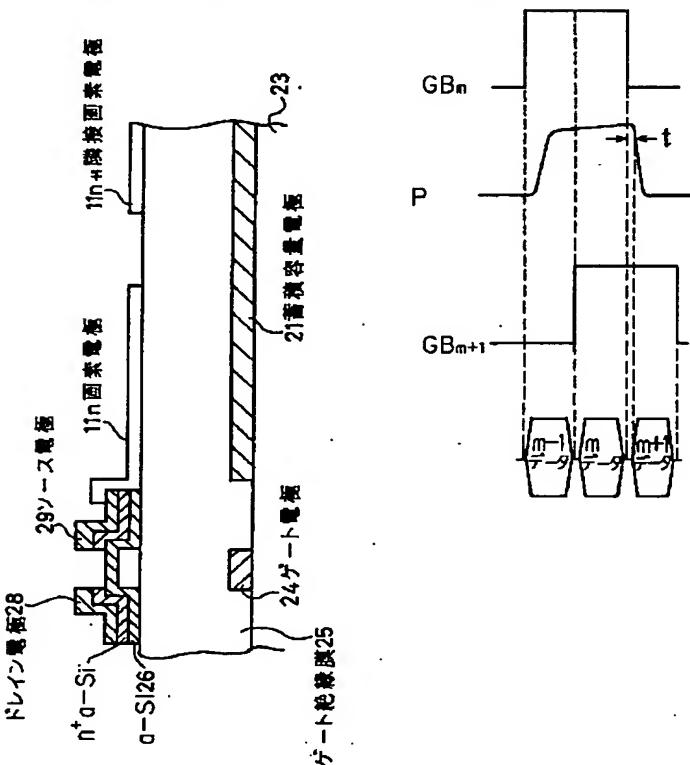


〔四八〕

【图 1-4】

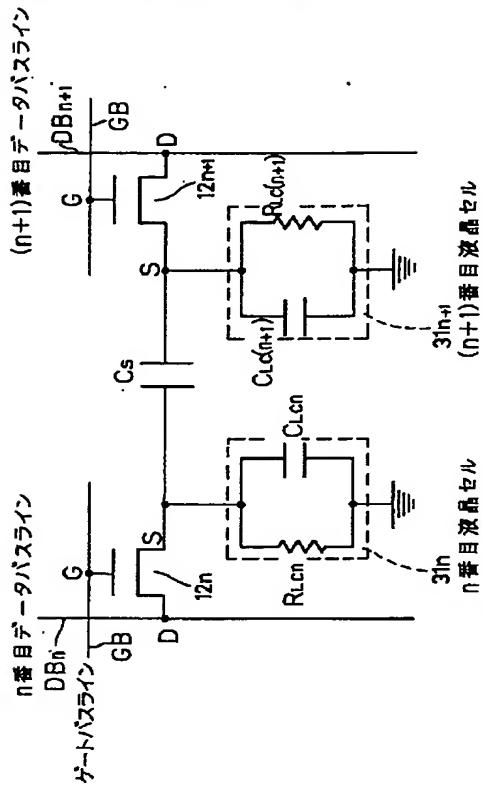
図7の断面図

図13の動作タイミングの説明図



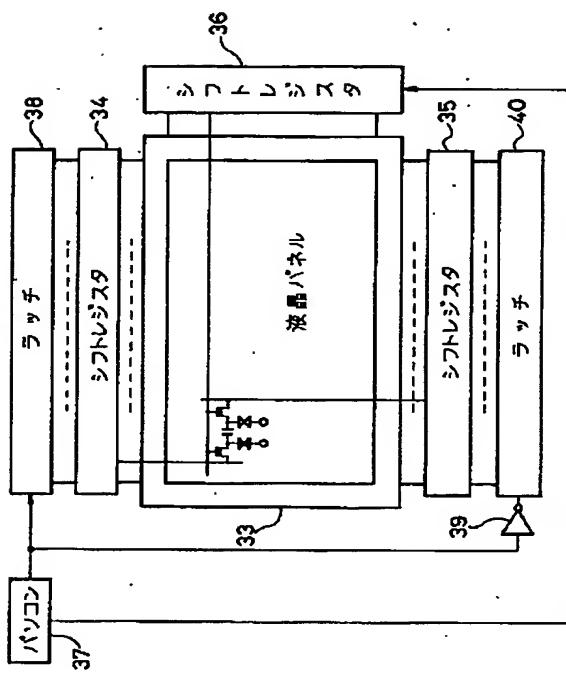
[図 9]

本発明の第3実施例の等価回路図



【図10】

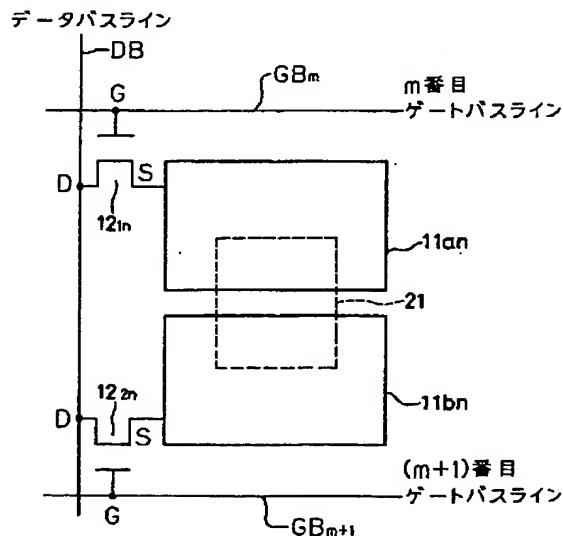
本発明の一実施例の全体構成図



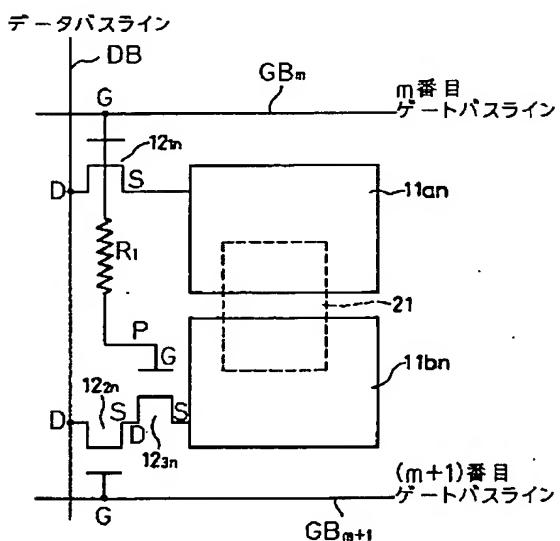
【図13】

【図11】

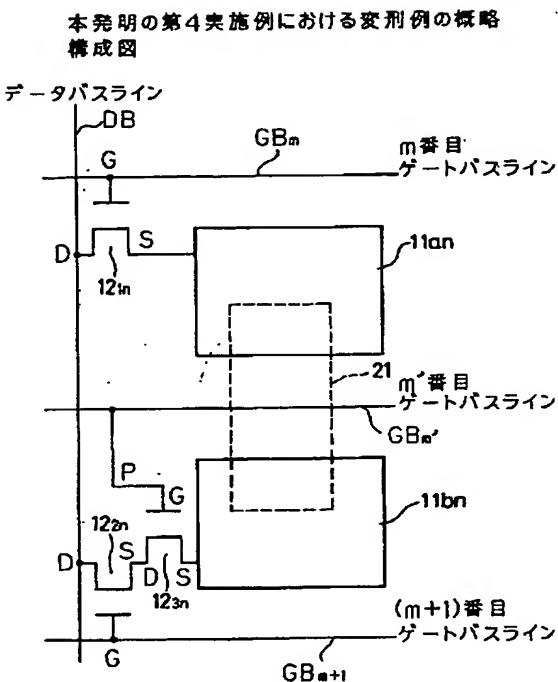
本発明の第3実施例における変形例の概略構成図



本発明の第4実施例の概略構成図

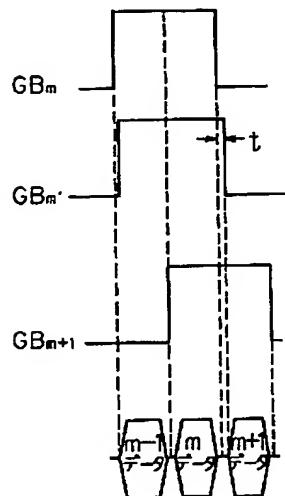


【図15】

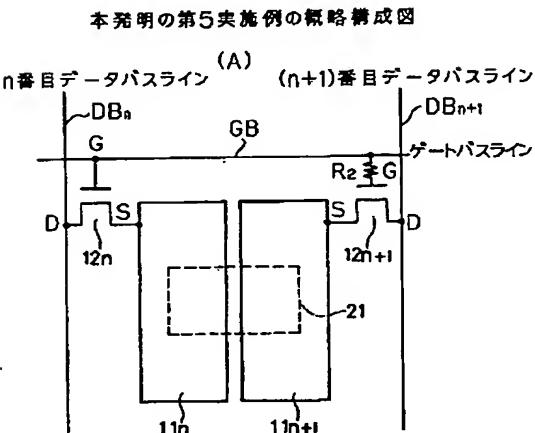


【図16】

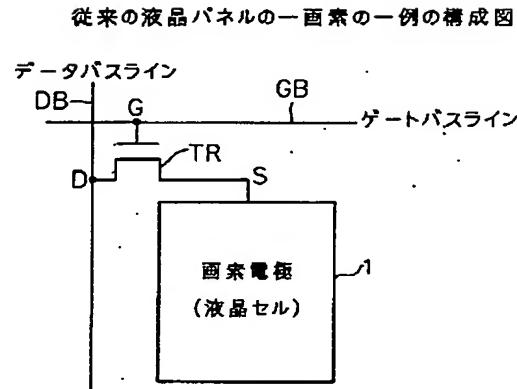
図15の動作タイミングの説明図



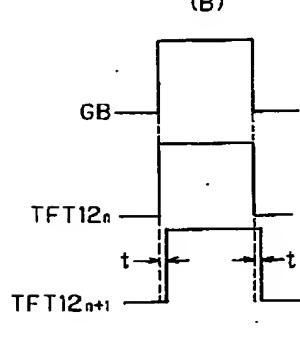
【図17】



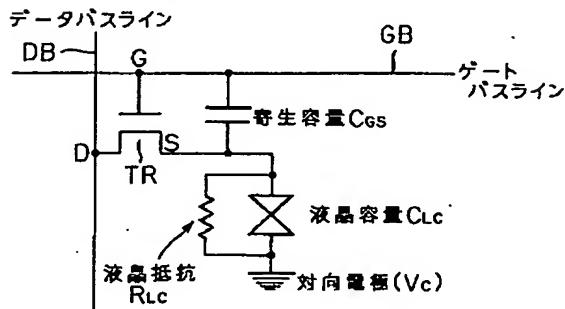
【図18】



【図19】

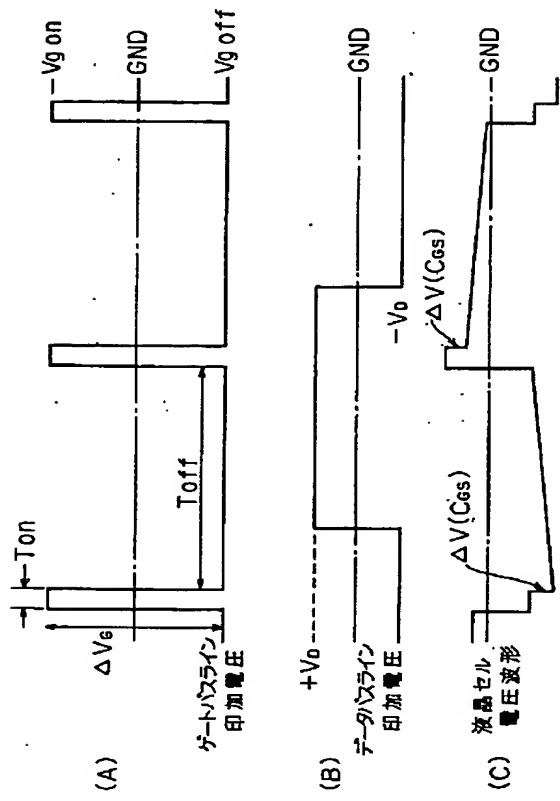


従来の液晶パネルの一画素の等価回路図



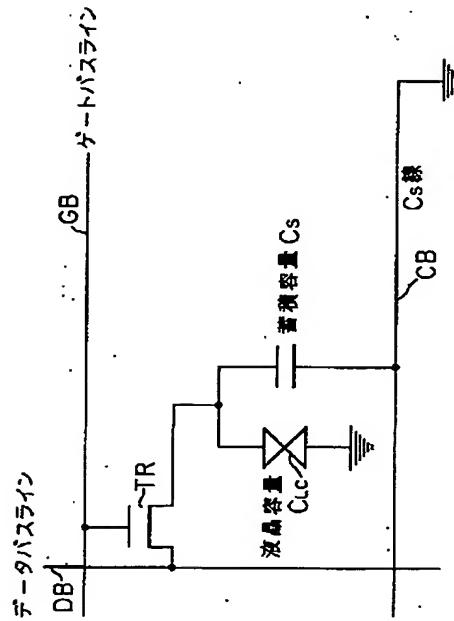
【図20】

各バスラインの印加電圧と液晶セルの印加電圧
を示すタイムチャート



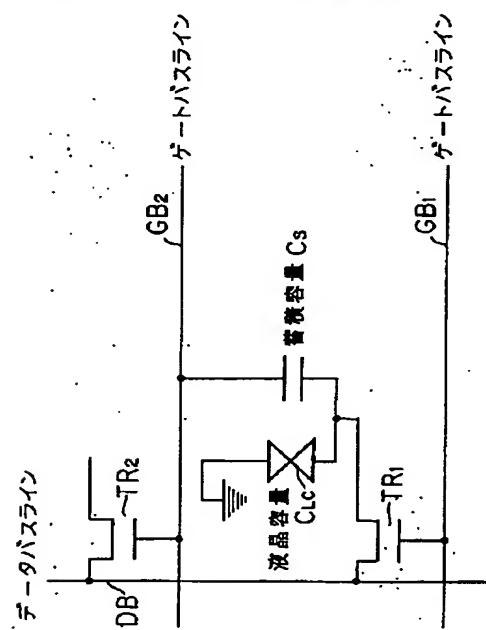
【図21】

従来のCs独立方式の等価回路図



【図22】

従来のCsオンゲート方式の等価回路図



フロントページの続き

(72)発明者 高原 和博
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内